

⑫ 公開特許公報(A)

昭64-11413

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月17日

H 03 K 17/22

D-7190-5J

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 電子回路のクリア方法

⑯ 特 願 昭62-165373

⑰ 出 願 昭62(1987)7月3日

⑱ 発 明 者 佐 藤 政 樹 茨城県日立市幸町3丁目2番1号 日立エンジニアリング株式会社内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 出 願 人 日立エンジニアリング 茨城県日立市幸町3丁目2番1号株式会社
⑳ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

電子回路のクリア方法

2. 特許請求の範囲

1. デジタルメモリ回路、メモリ要素を具備するアナログ回路等の電子回路において、電源投入時にメモリを確実にクリアするよう出力レベルを固定する回路を備え、さらに電源遮断時に負荷に悪影響を与えないで速やかにクリアする回路を備えている電子回路のクリア回路において、電源の応答の性能にかかわらず電源のレベル検出により確実に動作し、且つ不定な出力区間を最小にすることを特徴とする電子回路のクリア方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はメモリ要素を具備する電子回路のクリア方法に係り、特に電源の応答の性能にかかわらず、確実に動作することを要求されるメモリ要素を具備する電子回路に好適なクリア方法に関する。

る。

〔従来の技術〕

従来より電子回路のクリア方法としては、各種使用されているが、代表的な回路例を第2図、第3図に示す。第2図の回路は電源投入時にコンデンサによりクリア時間を持たせるようになってい。第3図は回路の電源投入時の電源レベルを固定する回路となつてい。又、クリア回路に遅延回路を持たせた方法として、特開昭58-225416号、特開昭58-221423号等が挙げられる。

〔発明が解決しようとする問題点〕

上記第2図の回路は電源の検出レベルはIC22の特性に係り、検出レベルの固定がされておらず、またIC22および23の出力が電源に依存するため、電源投入時にクリアが働くまでの間の出力を規定できないという問題がある。又、第3図の回路は検出レベルは固定されるが、第2図の回路と同様にIC30の出力が電源に依存するため、電源投入時にクリアが働くまでの間の出力を規定できず、電源の応答の性能によつては出力

不定の区間が長くなるという問題がある。更に第2図、第3図とも電源遮断時のクリヤについては配慮されていないという問題がある。

また、特開昭58-225416号および58-221423号に記載の遅延回路を持つ方法は検出レベルは考慮されているが、遅延回路の動作電源への配慮がなされておらず、出力不定区間が電源の性能に依存している問題がある。

本発明の目的は電源の応答の性能にかかわらず確実に動作し、且つ電源の性能に依存することなく出力不定区間を最小にし、さらに電源遮断時に負荷に悪影響を与えずにクリヤできる電子回路のクリヤ方法を提供することにある。

〔問題点を解決するための手段〕

上記目的は、電源レベル検出部に電圧比較器を使用し、比較器入力片側に遅延要素を設け、電源投入後一定レベルに到達してから、クリヤを解除する様に電圧比較器を構成すること、および電圧比較器の出力段に低い電源電圧で動作する素子を使用すること、さらに電源に接続されている負

荷の影響を直接受けない点を検出点とする電源遮断時用のクリヤ回路を設けることにより達成される。

〔作用〕

電圧比較器の片側の入力は電源投入と同時に立上り、出力は電源電圧が比較器の動作電圧に到った時点でオン状態となるが、比較器の出力に接続されているトランジスタは電源電圧がトランジスタのベース～エミッタ飽和電圧を越えた時点でオン状態となり、比較器の出力がオン状態になる前にクリヤがかかりクリヤ回路の出力不定区間を最小にすることができる。さらに、電圧比較器の他の片側の入力は遅延要素をもっており、電源電圧が確立した後比較器の出力が反転してクリヤの解除がなされるため確実にクリヤがかけられる。

また、電源遮断時は接続されている負荷（平滑コンデンサ・IC回路等）の影響を受けない点を検出点としてクリヤ回路を構成すれば、負荷側の電源がなくなる前にクリヤがかかるため負荷に悪影響を与えない。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。本回路は、遅延要素としての抵抗器1、コンデンサ2、分圧器としての抵抗器4、5、電圧比較器6、トランジスタ11、および電源遮断時のクリヤ回路により構成される。

電圧比較器6の+入力は電源 V_{cc} の投入と同時に立上り、比較器6の出力は電源 V_{cc} が比較器6の動作電圧に到った時点でオン状態となるが、比較器6の出力に接続されているトランジスタ11は電源 V_{cc} がトランジスタ11のベース～エミッタ飽和電圧を越えた時点でオン状態となり、比較器6の出力がオン状態になり前にクリヤがかかる。さらに、電圧比較器6の-入力はコンデンサ2により遅延され、電源 V_{cc} が一定レベル以上に確立した後比較器6の出力が反転してクリヤの解除がなされる。

また、電源遮断時は接続されている負荷（平滑コンデンサ・IC回路等）の影響を受けない点を検出点 V_{cc}' としてクリヤ回路（POP回路）が

動き、負荷側の電源 V_{cc} がなくなる前にクリヤがかかる。

本実施例によれば、電源投入時にはクリヤ回路の出力不定区間を最小にすることができ、電源 V_{cc} が確立した後クリヤの解除がなされるため確実にクリヤがかけられる効果がある。また、電源遮断時は負荷側の電源 V_{cc} がなくなる前にクリヤがかかるため負荷に悪影響を与えず速やかにクリヤがかけられる効果がある。

〔発明の効果〕

本発明によれば、メモリ要素を持つ電子回路の電源投入時にはクリヤ回路の出力不定区間を最小にして確実にクリヤがかけられるので、電源の性能にかかわらず電子回路の誤動作、システムの誤動作を最小限にできる効果がある。

また、電源遮断時には電子回路の誤動作を防止できる効果がある。

4. 図面の簡単な説明

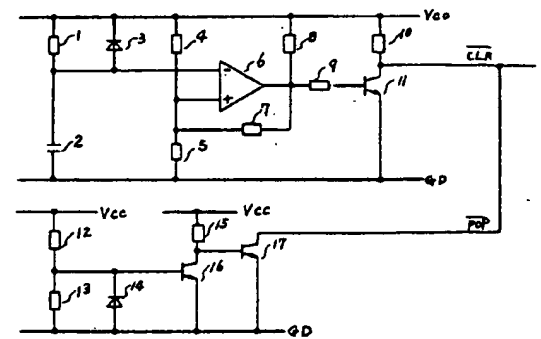
第1図は本発明のクリヤ方法の実施例回路図、第2図、第3図は従来のクリヤ回路図である。

1, 4, 5, 7, 8, 9, 10, 12, 13,
15, 18, 19, 24, 26, 28, 31…抵抗器、2, 21, 27…コンデンサ、3, 20…
ダイオード、6…電圧比較器、11, 16, 17,
29…トランジスタ、14, 25…定電圧ダイオード、22, 23, 30…IC。

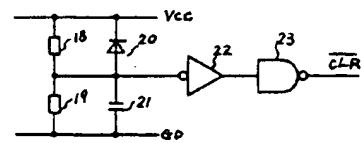
代理人 弁理士 小川勝男



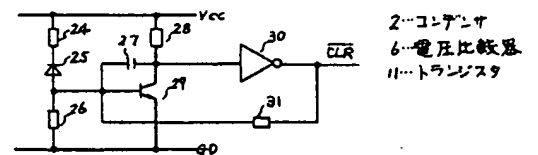
第1図



第2図



第3図



PAT-NO: JP401011413A
DOCUMENT-IDENTIFIER: JP 01011413 A
TITLE: CLEARING METHOD FOR ELECTRONIC CIRCUIT
PUBN-DATE: January 17, 1989

INVENTOR-INFORMATION:
NAME
SATO, MASAKI

ASSIGNEE-INFORMATION:	
NAME	COUNTRY
HITACHI LTD	N/A
HITACHI ENG CO LTD	N/A

APPL-NO: JP62165373
APPL-DATE: July 3, 1987

INT-CL (IPC): H03K017/22

US-CL-CURRENT: 327/143

ABSTRACT:

PURPOSE: To minimize system malfunction without reference to the performance of a power source by using a voltage comparator for a power source level detection part, providing a delay element on its one side, and resetting a clear mode after a constant level is reached after the power source is turned on.

CONSTITUTION: The + input of the voltage comparator 6 rises simultaneously with the power-on operation of the power source V<SB>cc</SB> and the output of the comparator 6 turns on when the power source V<SB>cc</SB> reaches the operating voltage of the comparator 6. A TR 11 connected to the output of the

comparator 6, on the other hand, is cleared before turning on when the power source $V_{<SB>cc</SB>}$ exceeds the base-emitter saturation voltage of the TR 11. Further, the - input of the comparator 6 is delayed by a capacitor 2 and after the power source $V_{<SB>cc</SB>}$ is set up above the constant level, the output of the comparator 6 is inverted to reset the clear mode. Further, when the power source is turned off, a clear circuit operates having a detection point where a connected load (smoothing capacitor, IC circuit, etc.) does not exert any influence, and clearing operation is performed before a negative-side power source $V_{<SB>cc</SB>}$ is ceased.

COPYRIGHT: (C)1989,JPO&Japio